

Serial No.
10/066,75**MICROPROCESSOR**

Patent Number: JP1007129
Publication date: 1989-01-11
Inventor(s): KAMATA TADASHI
Applicant(s): NIPPON DENSO CO LTD
Requested Patent: ☐ JP1007129
Application: JP19870161062
Priority Number(s):
IPC Classification: G06F9/30; G06F15/06
EC Classification:
Equivalents:

Abstract

PURPOSE:To increase the number of instruction codes without increasing the ROM capacity by supplying at least one-bit data of a program counter to an instruction decoder as an arbitrary bit of the instruction code.

CONSTITUTION:The number of bits of the instruction which is read out from a ROM 11 and is given from a data latch circuit 14 to an instruction decoder 15 is four (D0-D3). The output of upper two bits Q6 and Q7 out of bits Q0-Q7 set by a program counter 12 is inputted to the instruction decoder 15. Consequently, the number of instructions generated by the instruction decoder 15 is increased 2^{<2>} times. Concretely, the number of instructions generated by the instruction decoder is 64 because the instruction read out from the ROM 11 has four bits.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

昭64-7129

⑪ Int. Cl.⁴G 06 F 9/30
15/06

識別記号

3 1 0
3 2 0

庁内整理番号

E-7361-5B
A-7343-5B

⑬ 公開 昭和64年(1989)1月11日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 マイクロプロセッサ

⑮ 特 願 昭62-161062

⑯ 出 願 昭62(1987)6月30日

⑰ 発 明 者 鎌 田 忠 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
 ⑱ 出 願 人 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
 ⑲ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

マイクロプロセッサ

2. 特許請求の範囲

プログラムデータを記憶する記憶装置と、

この記憶手段に記憶されたプログラムデータを
選択指定し、読み出し出力させるプログラムカ
ウンタと、

このプログラムカウンタで選択され、上記記
憶装置から読み出されたプログラムデータが結合
され、このデータに対応した命令を発生する命令
デコーダとを具備し、

上記プログラムカウンタの少なくとも1ピッ
トのデータが、上記命令デコーダにプログラムデ
ータの任意のビットとして結合されるようにした
ことを特徴とするマイクロプロセッサ。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体集積回路によって構成され
る例えば1チップのマイクロプロセッサに関する。

〔従来の技術〕

マイクロプロセッサにあつては、多数のプログ
ラムデータを記憶設定したROMによって構成さ
れる記憶装置を備えているもので、この記憶装置
に記憶されたプログラムデータは、プログラムカ
ウンタに計数値に対応してアドレス指定され、順
次読み出されるようになっている。そして、この
読み出されたプログラムデータは命令デコーダに
供給してデコードし、所定の命令処理の実行がさ
れるようになる。

この場合、命令コードの数は記憶装置から読み
出されるプログラムデータのビット数に対応して
設定されるものであり、したがって命令コード数
を増加させるためには、記憶装置における必要ビ
ット数を増大させる必要がある。すなわち、命令
数を増大させるためには、記憶装置を構成する
ROMのビット数を増大させ、そのチップ面積を

増大させるようにしなければならない。

〔発明が解決しようとする問題点〕

この発明は上記のような点に鑑みなされたもので、プログラムデータを記憶するROM等による記憶装置の記憶容量を特に増大させることなく、命令コード数を簡単に増加させることができ、例えば1チップで構成されるようにした場合でも、より処理機能が増大されるようにするマイクロプロセッサを提供しようとするものである。

〔問題点を解決するための手段〕

すなわち、この発明に係るマイクロプロセッサにあっては、通常のマイクロプロセッサと同様にROM等で構成される記憶装置にプログラムデータを記憶設定し、このプログラムデータをプログラムカウンタによって読み出し、命令デコーダによって命令コードに変換して所定の命令が実行されるようにしている。この場合、上記プログラムカウンタの少なくとも1ビットのデータを、上記

ソフトウェアの製作上でも便利な状態とすることができる。

〔発明の実施例〕

以下、図面を参照してこの発明の一実施例を説明する。第1図はその構成を示しているもので、このマイクロプロセッサ10は半導体集積回路によって1チップに構成されているものである。

このマイクロプロセッサ10にあっては、多数のプログラムデータを記憶する記憶装置を構成するROM11を備える。このROM11に記憶されたプログラムデータはプログラムカウンタ12の計数値に対応して選択されるもので、このプログラムカウンタ12の計数値はROMデコーダ13に加えられ、ROM11にアドレスデータとして供給されるようになる。

そして、ROM11から読み出されたプログラムデータは、データラッチ回路14に記憶されるようになるものであり、このデータラッチ回路14に記憶されたプログラムデータは命令デコーダ15に読

命令デコーダに命令コードの任意のビットとして供給されるようにしているものである。

〔作用〕

このように構成されるマイクロプロセッサにあっては、プログラムカウンタからのアドレス指定によって記憶装置から例えばnビットのプログラムデータが読み出され、命令デコーダに結合されるようになる。また、この命令デコーダに対しては、プログラムカウンタから、その任意のmビットのデータが供給されているもりであり、したがってこの命令デコーダにあっては、“n+m”ビットのデータをデコードするようになり、記憶装置の記憶ビット数を増大させることなく、充分多数の命令コードを発生するようになる。すなわち、プログラムカウンタの値は上記mビットのデータによって複数の範囲に分割されるようになるものであり、よく使用されるような命令をその各分割範囲の特定されるコードに対応させ、上記mビットのデータをデコードしないような状態とすれば、

み取られるようになり、デコードされて命令を発生するようになる。

ここで、ROM11から読み出され、データラッチ回路14から命令デコーダ15に与えられる命令のビット数は、 $D_3 \sim D_0$ の4ビットであり、したがってこの状態では発生することのできる最大の命令数は“ 2^4 ”種類である。

これに対して上記マイクロプロセッサ10にあっては、プログラムカウンタ12で設定されるビット $Q_6 \sim Q_7$ の中の上位2ビット Q_6 および Q_7 の出力を命令デコーダ15に入力させるように構成している。したがって、このようにすれば命令デコーダ15で発生できる命令数は、 2^6 倍となるものであり、具体的にはROM11から読み出される命令が4ビットであるので、命令デコーダで発生される命令数は“ $2^6 = 64$ ”となる。

この命令デコーダ15で発生された命令は、演算回路16に供給されるもので、データバス17、レジスタ18等によって通常のマイクロプロセッサが構成されるようになっている。

第2図は上記のように構成されるマイクロプロセッサ11において設定される命令コードの状態を示しているもので、この図ではROM11で発生される命令コードが4ビットであり、プログラムカウンタ12の上位2ビットが命令デコーダ15に結合されるようにした例を示している。

命令デコーダ15から発生される命令数は最大64種であり、この64の命令コードは上位2ビットの値に対応して16個ずつ第1乃至第4の4つの範囲に分割されるようにするもので、それぞれ使用できるようになるプログラムカウンタ12の値の範囲が決められるようになる。

この場合、例えば通常によく使用されるような命令は、「命令01」で示すようにプログラムカウンタ12からの2ビットの値の全てで使用できるようにニーモニック「00」、「10」、「20」、「30」を割り付ける。すなわち、プログラムカウンタ12からの Q_7 、 Q_6 はデコードしない状態でこの「命令01」が発生されるようになる。そして、あまり使用されないような命令

は例えば「命令11」のようにプログラムカウンタ12の値が特定される範囲（この例では40～7F）でのみ使用されるようにする。

すなわち、あまり使用しない命令は、上記「命令11」あるいは「命令03」のように割り付け、制約されたプログラムカウンタ12の値で使用されるようすれば、特に問題はない。これに対して比較的多く使用されるようになる命令や、プログラムカウンタ12の値にかかわらず必要とされるようになる命令、例えば「JUMP命令」等は「命令01」のようにプログラムカウンタ12の全ての領域で使用できるようにするは効果的である。

〔発明の効果〕

以上のようにこの発明に係るマイクロプロセッサによれば、プログラムデータを記憶する記憶装置であるROMの容量を特に増大させることなく命令コード数が充分に増大されるようになるものであり、例えば半導体集積回路装置によって構成される1チップマイクロプロセッサの処理能力が

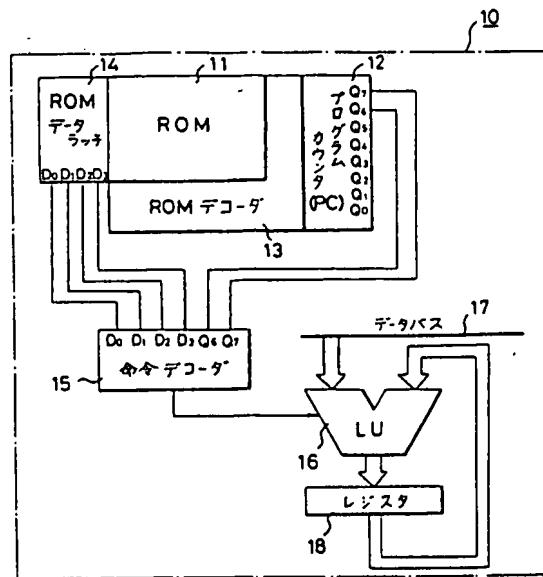
著しく増大され、より広い範囲でこの種マイクロプロセッサが効果的に使用されるようになるものである。

4. 図面の簡単な説明

第1図はこの発明の一実施例に係るマイクロプロセッサを説明する構成図、第2図は上記マイクロプロセッサの命令コードの状態を示す図である。

10…マイクロプロセッサ、11…ROM（記憶装置）、12…プログラムカウンタ、13…ROMデコーダ、14…データラッチ回路、15…命令デコーダ。

出願人代理人 井理士 鈴 江 武 彦



第1図

	マシンワード						ニー モニク	命令内容	命令使用可 PC値
	Q ₇	Q ₆	Q ₅	Q ₄	Q ₃	Q ₂			
範囲 (1)	0	0	0	0	0	0	0 0	命令 01	0 0
	0	0	0	0	0	1	0 1	命令 02	}
	0	0	0	0	1	0	0 2	命令 03	
	0	0	1	1	1	1	0 F	命令 0F	3 F
範囲 (2)	0	1	0	0	0	0	1 0	命令 01	4 0
	0	1	0	0	0	1	1 1	命令 11	}
	0	1	1	1	1	1	1 F	命令 1F	7 F
範囲 (3)	1	0	0	0	0	0	2 0	命令 01	5 0
	1	0	0	0	0	1	2 1	命令 21	}
	1	0	1	1	1	1	2 F	命令 2F	B F
範囲 (4)	1	1	0	0	0	0	3 0	命令 01	C 0
	1	1	0	0	0	1	3 1	命令 31	}
	1	1	1	1	1	1	3 F	命令 3F	F F

第 2 図